PLL-Ansatz für Timing-Anwendungen im Labor

Die bisher evaluierten Konzepte eigneten sich nicht für den ernsthaften Laboreinsatz, wenn die Frequenzgenauigkeit gemeinsam mit der Stabilität in kurzen und langen Betrachtungszeiträumen optimiert werden sollte. Es wurde daher ein Konzept erdacht, welches die gefundenen Missstände behebt.

Konzept

Als wichtigste Komponente wird das uBlox-GPS mit einem Takt betrieben, der aus der 10 MHz-Referenz erzeugt wird. Die uBlox M8Q-Module verwenden einen 26 MHz-TCXO. Aus diesem Takt wird intern eine Systemfrequenz von 48 MHz erzeugt, zu denen alle I/Os synchron sind. Vor allem der 1PPS-Ausgang weist dadurch einen Quanitisierungsfehler von etwa 20 ns auf, was für Timing-Aufgaben allein nicht hinreichend gut wäre. Das uBlox-Protokoll bietet daher eine Nachricht an, die den Quantisierungsfehler der folgenden 1PPS-Flanke auflöst.

Die FPGA-Logik, die auch das 1PPS-Signal aus dem 10 MHz-OCXO ableitet, läuft ebenfalls mit 48 MHz. TODO

From:
https://www.loetlabor-jena.de/ - **Lötlabor Jena**

Permanent link:
https://www.loetlabor-jena.de/doku.php?id=projekte:gpsdo:v3&rev=1540078843

Last update: **2018/10/20 23:40**